

METODOLOGÍA DE DISEÑO DE UN PREDISTORSIONADOR DIGITAL PARA LINEALIZACIÓN DE AMPLIFICADORES DE POTENCIA CON UN FPGA

Galaviz-Aguilar J.A.¹, Cárdenas-Valdez J.R.¹, Reynoso-Hernández J.A.², Núñez-Pérez J.C.¹

¹Instituto Politécnico Nacional, Centro de Investigación y Desarrollo de Tecnología Digital (CITEDI-IPN)

²Centro de Investigación Científica y de Educación Superior de Ensenada (CICSE)

¹Av. del Parque 1310, Mesa de Otay, Tijuana B.C., C.P. 22510. Tel: (664) 6231344, FAX: (664) 6231388

²Carretera Ensenada-Tijuana No. 3918, Zona Playitas, C.P. 22860, Ensenada, B.C. Tel: (646)1750500

{jgalaviz,jcardenas,nunez}@citedi.mx,apolinar@cicse.mx

RESUMEN

La Pre-distorsión digital es una técnica de linealización de sistemas de comunicaciones, lo cual en la actualidad representa un área de gran interés, sobre todo cuando se trata de transmitir altas tasas de datos con una buena eficiencia espectral. Esto ha llevado a optar por esquemas de modulación digital tales como QPSK, 64QAM o configuraciones de múltiples portadoras. Este artículo presenta un enfoque de linealización digital enfatizando la metodología del diseño de un Pre-Distorsionador Digital implementado en un FPGA basado en un Kit DSP de Altera.

1. INTRODUCCIÓN

La distorsión de las señales en sistemas de comunicación se atribuye a las características no lineales de sus componentes, tales como los PA (*Amplificadores de Potencia*) de RF (*Radiofrecuencia*). Para minimizar este efecto de no linealidad del PA en la señal, se requiere un modulo no lineal. Este modulo no lineal genera los productos de intermodulación (*IMP*) de forma inversa a los producidos por el PA y por lo tanto ocurre un efecto de cancelación de la no linealidad del PA. Existen muchas versiones de Pre-Distorsionadores Digitales que se han desarrollado en los últimos años, los más utilizados son aquellos basados en Tablas de búsqueda (*LUT*). La preferencia por el enfoque de Pre-Distorsión Digital es debido al hecho que es posible incrementar la linealidad del amplificador de potencia de RF, obteniendo una notable mejora en la eficiencia, además de reducir el tamaño y el costo del transmisor. La consideración del enfoque digital en la implementación del Pre-distorsionador en el FPGA (*Field Programmable Gate Array*), permite combinar técnicas de Co-diseño Hardware/Software, buscando la optimización mediante la corrección de los bloques que conforman el diseño del Pre-distorsionador [1].

2. DESARROLLO

El concepto básico del sistema de Pre-distorsión Digital (*DPD*) es Pre-distorsionar una señal de banda base antes de la modulación y la etapa del PA (ver fig.1) de tal forma que el rendimiento total del sistema sea lineal [2].

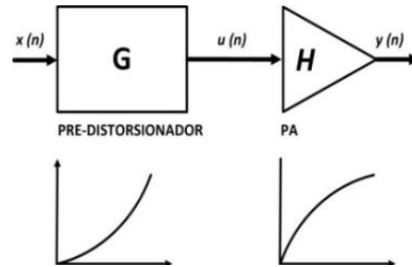


Figura 1. Concepto de Pre-distorsión digital.

La señal que se transmite, representada por su envolvente compleja $x = I + jQ$, se modifica por una función de predistorsión para producir una señal pre-distorsionada [3]. La implementación del diseño digital del Pre-distorsionador (ver fig.2) se integra en la arquitectura del Kit de Desarrollo DSP (Procesador Digital de Señales), Altera Cyclone III,

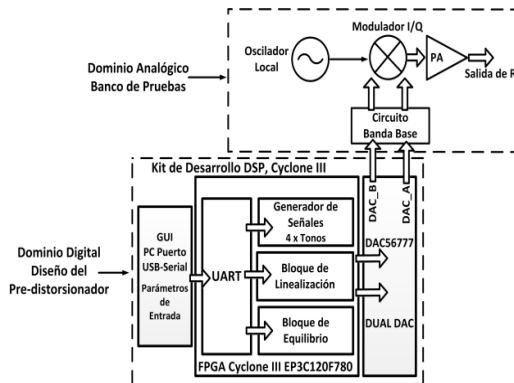


Figura 2. Diagrama del Sistema Completo.

Un banco de pruebas cubre las etapas analógicas necesarias para la caracterización del sistema completo. El diseño de enfoque digital se basa en los recursos del FPGA y la tarjeta de conversión de datos HSMC (*High Speed Mezzanine Card*). El Pre-distorsionador digital implementado en el FPGA, representa un módulo no lineal que se localiza previo a la etapa del PA de RF, el diseño está conformado por varios bloques (ver fig. 3).

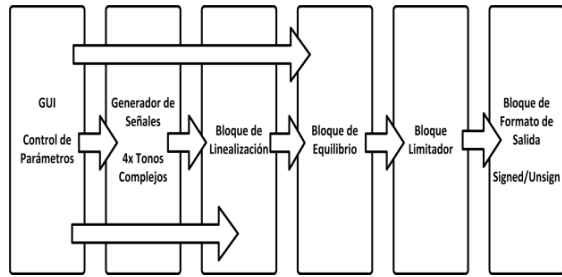


Figura 3. Bloques del Pre-distorsionador Digital.

2.1. Bloque Generador de Señales

El diseño del bloque generador de señales se basa en la técnica de Síntesis Digital Directa, que consiste en generar una forma de onda periódica, discreta en el tiempo y de una frecuencia conocida f_0 [4]. El proyecto para la implementación del bloque generador de señales en el FPGA, (ver fig.4) consta de un diseño jerárquico desarrollado con la herramienta de entorno de software Quartus II, en la cual se integran las instancias lógicas, primitivas, conexiones, componentes del FPGA y archivos de diseño escritos en código-fuente VHDL [5].

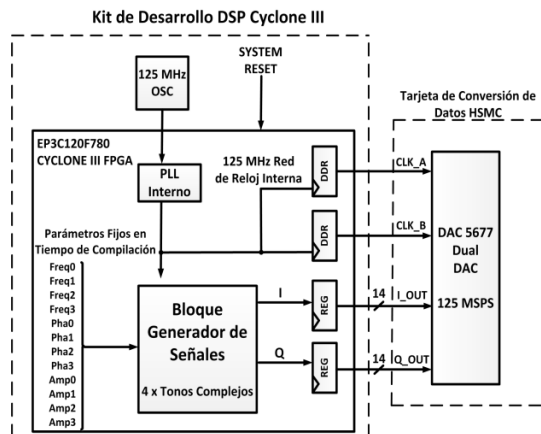


Figura 4. Diagrama del generador de señales.

EL componente PLL interno suministra una señal de reloj estable de 125 MHz dentro del bloque generador de señales, y es conducida a su vez por una red de reloj interna encargada de alimentar el reloj diferencial del DAC, el cual actúa como reloj de muestreo de los canales del DAC_A y DAC_B en la tarjeta HSMC [5].

El diseño personalizado (ver fig. 5), consta de un generador de funciones senoidales complejas encargado de generar hasta cuatro tonos con frecuencias de salida programables (phase_inc0, phase_inc1, phase_inc2, phase_inc3) y correcciones de fase (phase_shift0, phase_shift1, phase_shift2, phase_shift3), implementados en un diseño con cuatro componentes parametrizables NCO, este bloque permite obtener en la salida una señal de la forma compleja:

$$x = A \sin(\omega t + \phi) = I \cos(\phi) + Q \sin(\phi) \quad (2)$$

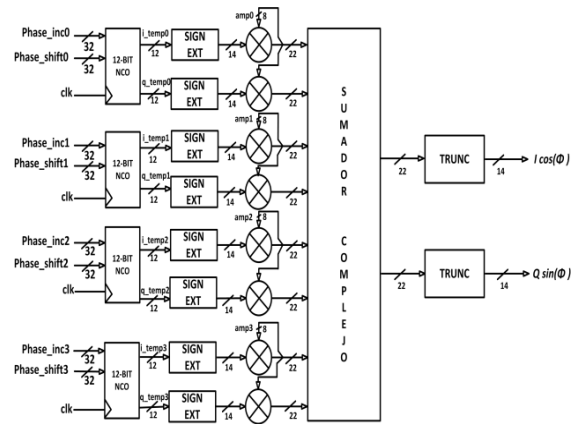


Figura 5. Diseño del generador de señales.

Las señales de salida seno y coseno del componente NCO son multiplicadas por un valor de amplitud con longitud de 8-bits de tipo firmado (signed). Este valor se encuentra en el formato "s3.4" es decir con un bit de signo, 3 bits para la parte entera y 4 bits para representar la parte fraccional (ver tabla 1).

Valor real	Valor binario	Valor hex	Nota
7.9375	0111.1111	0x7F	Max +
0.0625	0000.0001	0x01	Min -
0.0	0000.0000	0x00	Amp 0
-8.0	1000.0000	0x80	Max -

Tabla 1. Valores de amplitud para señales de salida.

El formato del paquete (ver fig.6) tiene un tamaño de 8 bytes, este paquete contiene los valores de frecuencia, desplazamientos de fase y amplitud de entrada, parámetros de linealización, equilibrio, que se ingresan directamente al diseño del FPGA.

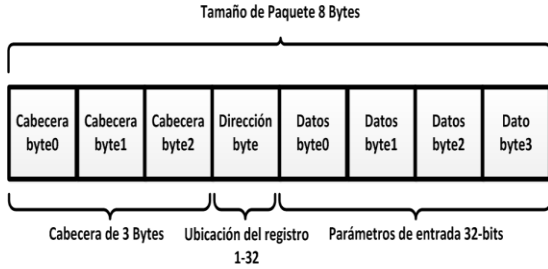


Figura 6. Formato de paquete.

Los parámetros son programados a través de un dispositivo convertidor USB a Serie conectado a la PC. Por lo cual el sistema cuenta con una Interfaz Grafica de Usuario (GUI) con el fin de controlar los parámetros de entrada a los registros del diseño en el FPGA.

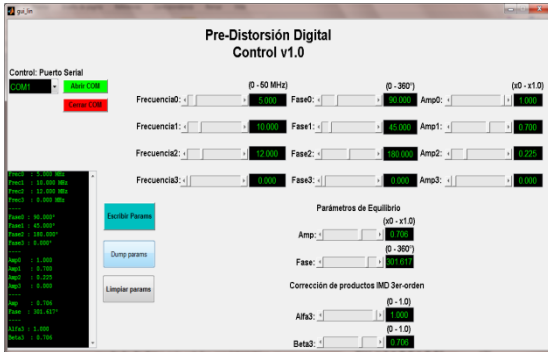


Figura 7. GUI del Pre-Distorsionador Digital

2.2. Bloque de Linealización

Este bloque es el encargado de producir una señal no lineal para compensar la distorsión de intermodulación (IMD), causada en la etapa del PA resultado de dos o más señales que interactúan en un dispositivo no lineal. La función del Pre-distorsionador cuasi-sin memoria es modificar la fase y la amplitud de la señal de entrada para compensar las distorsiones en banda AM-AM y AM-PM introducidas por el PA, las cuales se expresan en [6]:

$$\begin{aligned} y &= AB \sin(\omega t + \phi + \psi) \\ &= I_{pd} \cos(\phi) + Q_{pd} \sin(\phi) \end{aligned} \quad (3)$$

Verificando que I_{pd} y Q_{pd} están dados por:

$$\begin{aligned} \begin{bmatrix} I_{pd} \\ Q_{pd} \end{bmatrix} &= \begin{bmatrix} \beta \cos(\psi) & -\beta \sin(\psi) \\ \beta \sin(\psi) & \beta \cos(\psi) \end{bmatrix} \\ &= \begin{bmatrix} \alpha(t) & -\beta(t) \\ \beta(t) & \alpha(t) \end{bmatrix} * \begin{bmatrix} I \\ Q \end{bmatrix} \end{aligned} \quad (4)$$

El bloque de linealización está basado en el algoritmo de la figura 8,

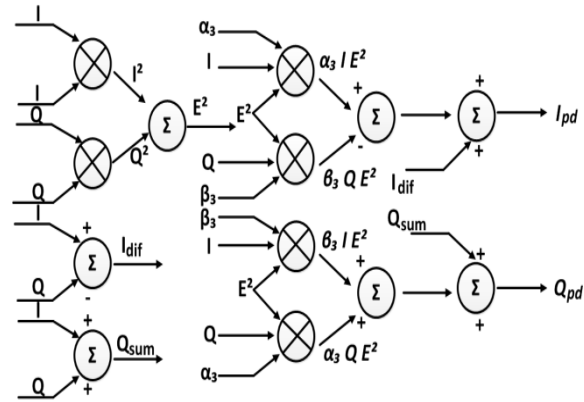


Figura 8. Algoritmo de Linealización.

El algoritmo de 3^{er} orden sin memoria utiliza la envolvente E^2 , para evaluar los coeficientes de pre-distorsión para α_3 y β_3 , esto equivale a la raíz cuadrada de la suma de I al cuadrado más Q al cuadrado, Tanto el valor del vector I como de Q varían en magnitud (módulo) con la modulación en amplitud de la señal de entrada

$$E^2 = \sqrt{I^2 + Q^2} \quad (5)$$

Los coeficientes de α_3 y β_3 son valores de entrada reales que son utilizados para cancelar la intermodulación de 3^{er} orden generada por las no linealidades, lo cual se expresa mediante

$$\alpha(t) = 1 + \alpha_2 E + \alpha_3 E^2 \quad (6)$$

$$\beta(t) = 1 + \beta_2 E + \beta_3 E^2 \quad (7)$$

Estos coeficientes son utilizados a su vez para reducir al mínimo la Relación de Potencia del Canal Adyacente (ACPR) y obtener una optimización en las múltiples senoidales generadas.

$$I_{pd} = I + \alpha_3 I E^2 - Q - \beta_3 Q E^2 \quad (8)$$

$$Q_{pd} = I + \beta_3 I E^2 + Q + \alpha_3 Q E^2 \quad (9)$$

2.3. Bloque de Equilibrio

Este bloque se usa con el propósito de corregir las distorsiones de desequilibrio en el modulador de I/Q . Este modulador I/Q es un componente crucial previo al amplificador de potencia RF, debido a que realiza la mezcla de las señales I y Q para obtener una entrada de RF. La degradación en la precisión de los vectores I y Q es causada por el ruido, y los desplazamientos en la Modulación de Amplitud (AM) y Modulación de Fase (PM) [7]. Por lo tanto, en este bloque se consideran el ajuste de dos parámetros, la amplitud (ΔA) y la fase ($\Delta\phi$), el método para equilibrar la amplitud y la fase, se basa en el siguiente algoritmo (ver fig. 9).

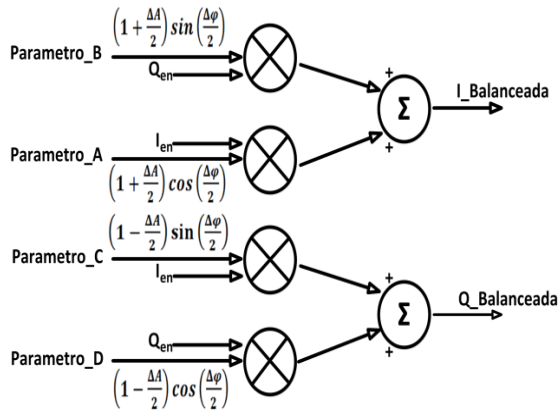


Figura 9. Algoritmo de Equilibrio.

Donde se deduce que:

$$I_{ba} = Param_A * I_{en} + Param_B * Q_{en} \quad (10)$$

$$Q_{ba} = Param_C * I_{en} + Param_D * Q_{en} \quad (11)$$

$$Param_A = \left(1 + \frac{\Delta A}{2}\right) \cos\left(\frac{\Delta\phi}{2}\right) \quad (12)$$

$$Param_B = \left(1 + \frac{\Delta A}{2}\right) \sin\left(\frac{\Delta\phi}{2}\right) \quad (13)$$

$$Param_C = \left(1 - \frac{\Delta A}{2}\right) \sin\left(\frac{\Delta\phi}{2}\right) \quad (14)$$

$$Param_D = \left(1 - \frac{\Delta A}{2}\right) \cos\left(\frac{\Delta\phi}{2}\right) \quad (15)$$

Los parámetros (Param_A, Param_B, Param_C y Param_D) son expresiones matemáticas con coeficientes ΔA y $\Delta\phi$ designados en el diseño del proyecto como cuatro valores de entrada de 14 bits con signo, estos parámetros de entrada pueden ser considerados como valores de tipo entero en un rango de (-8.192, 8.191).

2.4. Bloque Limitador

La función de este bloque es limitar el rango dinámico de la señal de transmisión para evitar su saturación. En el diseño interior del limitador, se encuentran circuitos que limitan los valores I/Q a una amplitud máxima, estableciendo ciertos límites para dichas señales, ajustando la potencia de la señales de transmisión para conseguir que la propagación se encuentre dentro de un rango deseado, el diseño de este bloque se conforma de comparadores lógicos alimentados por la señales I y Q , multiplexores, registros, así como un archivo escrito en código-fuente VHDL.

2.5. Bloque de Firmado Signed

Las salidas del bloque Sign-Unsign se envían directamente a la parte analógica del banco de pruebas. Debido al diseño del DPD en bloques anteriores donde se firman señales para realizar varias operaciones aritméticas, se requiere realizar un archivo en VHDL para cambiar el formato de salida de los datos hacia los canales A y B del DAC, esto se logra invirtiendo el bit signo a un valor '1' para realizar un offset binario (sin firmar).

3. RESULTADOS

Mediante una previa simulación de un archivo VHDL *Testbench*, en el software *Modelsim* (ver. Fig 10) de una señal de 2MHz. Los resultados muestran la salida de un tono programable, probando así la funcionalidad del bloque generador de señales ante diferentes parámetros de frecuencia, fase y amplitud.

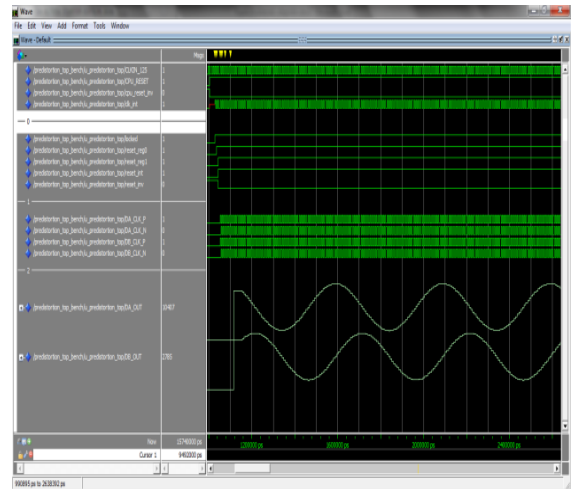


Figura 10. Simulación de señales de salida a 2MHz.

El resultado del análisis espectral en Matlab (ver fig.11) realizado al tono muestra, un rango dinámico libre de espurias (*SFDR*) de 80 dB en referencia a la señal de salida y una potencia espectral de 20dBm para 2MHz.

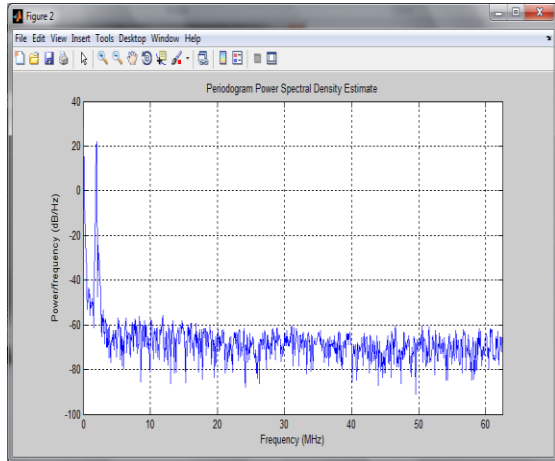


Figura 11. Potencia espectral de señal.

4. CONCLUSIONES

Este artículo presenta la metodología completa del diseño de un DPD implementado en un FPGA basado en la arquitectura de un Kit de Desarrollo DSP de Altera. Este DPD permite realizar una caracterización de una plataforma de pruebas para lograr la linealización del PA de RF, mediante la consideración de los defectos no lineales presentes en el PA, esto se logra integrando algoritmos de linealización y equilibrio en un diseño digital que pretende corregir la salida del sistema. La contribución de este prototipo radica en la integración de la teoría de Pre-distorsión Digital con la consideración de modelos físico/matemáticos precisos del PA, que representan su comportamiento real.

5. REFERENCIAS

- [1] T. M. Nguyen, *et al*, "Modeling of HPA and HPA linearization through a predistorter: Global Broadcasting Service applications." IEEE Transactions on Broadcasting, vol. 49, pp. 132-141, 2003.
- [2] D. Presti, F. Kimball, and M. Asbeck, "Closed-Loop Digital Predistortion System With Fast Real-Time Adaptation Applied to a Handset WCDMA PA Module", IEEE Transactions On Microwave Theory And Techniques, Vol. 60, No. 3, March 2012.
- [3] Ming Shi, Ming Chen, Lei Zhang and Jianyi Zhou, "A New Baseband Digital Predistortion System," APMC2005 Proceedings.

- [4] L. Cordesses, "Direct digital synthesis: a tool for periodic wave generation (part 1)", Signal Processing Magazine, IEEE, Volume: 21, Issue: 4, pp. 50 – 54, July 2004.
- [5] J. Lamoureux and S. Wilton, "FPGA Clock Network Architecture: Flexibility vs. Area and Power", University of British Columbia, December 2006.
- [6] S.K. Myoung, *et al*. "Volterra Characterization and Predistortion Linearization of Multi-Carrier Power Amplifiers", *ARFTG 64 Conference*. Orland Florida, December 2004.
- [7] J. Tubbax, *et al*. "Compensation of IQ Imbalance and Phase Noise in OFDM Systems," IEEE Transactions on Wireless Communications, vol. 4, pp. 872-877, May 2005.