

## SEGUIDOR DE VOLTAJE CMOS CLASE AB PARA CARGAS RESISTIVAS Y APLICACIONES DE BAJO VOLTAJE

Jesús E. Molinar<sup>1</sup>, Sergio Sandoval<sup>1</sup>, Jaime Jalomo<sup>1</sup>, Daniel Ruíz<sup>1</sup>, Javier Gutiérrez<sup>1</sup>, Humberto Bracamontes<sup>1</sup>  
y José Rivera Mejía<sup>2</sup>

<sup>1</sup>Departamento de Ing. Eléctrica, Electrónica, Instituto Tecnológico de México, ITCG, Av. Tecnológico 100, Ciudad Guzmán, Jalisco, MÉXICO, C.P. 49100, Tel. (341 575-2050), molinar@gmail.com.

<sup>2</sup>Instituto Tecnológico de México, ITCH, División de estudios de posgrado e investigación, Av. Tecnológico 2909, Chihuahua, Chih, MÉXICO, C.P. 31310, Tel. 614 201-2078, ext. 32.

### RESUMEN

En este trabajo se presenta una nueva configuración de seguidor de voltaje CMOS tipo clase AB para cargas resistivas. La nueva topología se basa en una modificación del seguidor de voltaje *Flipped voltage follower* clase A previamente reportado, en la cual, se mejora notablemente la capacidad de corriente con *slew-rate* simétrico preservando sus características de bajo de voltaje. El circuito funciona con  $V_{DD}=1.2V$  y es analizado y simulado con parámetros de tecnología CMOS de  $0.5\mu m$  usando la herramienta PSpice.

**Palabras Clave:** seguidor de voltaje, circuitos analógicos, CMOS.

### ABSTRACT.

This work presents a new Class AB CMOS voltage follower for resistive loads. The proposal is based on an improvement of the previously reported Class A *Flipped Voltage Follower*, where, the *slew-rate* is enhanced preserving the low-voltage requirements. The circuit works with  $V_{DD}=1.2V$  and is analyzed and simulated using CMOS ON  $0.5\mu m$  parameters on PSpice.

**Keywords:** Voltage follower, analog circuits, CMOS.

### 1. INTRODUCCIÓN.

Los seguidores de voltaje son bloques analógicos fundamentales que se caracterizan por tener una gran capacidad para brindar corriente y una ganancia cercana a la unidad. Estas características los hacen propicios para emplearlos comúnmente como etapa de salida en otros circuitos analógicos de mayor complejidad como amplificadores operacionales. Por lo general, las cargas resistivas poseen la problemática de afectar notablemente la ganancia de cualquier etapa cuando se trata de magnitudes pequeñas, por lo tanto, los seguidores de voltaje con baja resistencia de salida son adecuados para contrarrestar el efecto de éstas ofreciendo grandes cantidades de corriente. Entre más baja sea la resistencia de salida del seguidor de voltaje, éste ofrecerá el comportamiento ideal de una fuente de voltaje controlada por voltaje.

Por otra parte, con la continua disminución del espesor del óxido en tecnología CMOS, es necesario tecnológicamente disminuir los voltajes de alimentación. Por lo tanto, se hace

indispensable buscar nuevas opciones analógicas que permitan un funcionamiento adecuado con tales restricciones en voltaje.

Por definición, un circuito opera en condiciones de bajo voltaje si su voltaje de alimentación cumple la condición  $V_{DD} < V_{THN} + |V_{THP}|$  donde  $V_{THN}$  es el voltaje de umbral del transistor NMOS y  $V_{THP}$  del PMOS.

#### 1.1. Seguidor de voltaje convencional CMOS.

El seguidor de voltaje convencional [1], se muestra en la Fig. 1a). Este circuito posee una fuente de corriente  $I_{b1}$  la cual, es normalmente implementada con otro NMOS en saturación. Esta fuente de corriente polariza el circuito en DC para que el  $V_{GS}$  del transistor M1 se ajuste a un valor determinado y M1 brinde la corriente demandada por la misma fuente de corriente. En AC cuando el voltaje de entrada  $V_i$  aumenta, el  $V_{GS}$  de M1 también lo hace permitiendo fluir una corriente mayor a la salida  $V_o$ , puesto que la corriente de drenador de M1 es mayor a la demandada por  $I_{b1}$ ,  $V_o$  aumenta siguiendo a la entrada. Así el circuito se comporta como seguidor de voltaje. La resistencia de salida de este seguidor está dada por el análisis en pequeña señal, la cual es  $R_o \approx 1/g_{mM1}$  donde  $g_{mM1}$  es la representación típica de la transconductancia del transistor en este caso M1 y la ganancia es cercana a la unidad  $A_{vf} \approx 0.8$ . El requerimiento de voltaje de alimentación para que funcione está relacionado con el voltaje de excursión de la salida  $V_{sw}$  de la forma:

$$V_{DDmin} = V_{DS} + V_{sw} + V_{GSM1} \quad (1)$$

Donde  $V_{DS}$  es el voltaje drenador-fuente del transistor NMOS que implementa  $I_{b1}$ . Como puede notarse, a medida que aumenta  $V_{DD}$  también lo hace el rango de excursión de la salida. Una de las desventajas más notables del seguidor convencional es su comportamiento clase A. El transistor M1 funciona en los  $360^\circ$  de la señal de entrada, cuando  $V_i$  aumenta también lo hace el  $V_{GS}$  de M1 brindando una corriente mayor que la de polarización hacia la salida. El caso opuesto cuando  $V_i$  disminuye M1 se apaga, por lo tanto, el voltaje de salida  $V_o$  disminuye a través de la corriente que extrae la fuente  $I_{b1}$ .

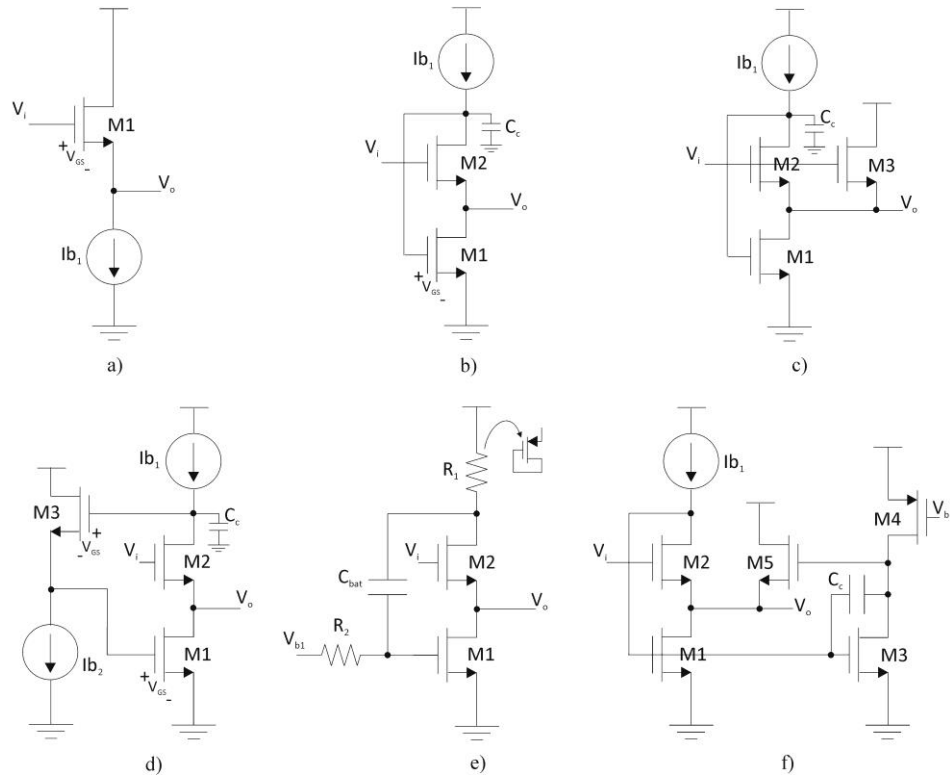


Fig. 1. Seguidores de voltaje CMOS, a) Convencional, b) FVF, c) Clase AB, M. Jiménez *et al*, d) FVF “Level shifter”, e) Clase AB J. Ramírez *et al*, f) Clase AB, I. Padilla *et al*.

De esta forma se tiene un *slew-rate* no simétrico, ya que aunque las dimensiones W/L de M1 pueden hacerse grandes para suministrar mucha corriente a la salida, la máxima corriente que puede ser extraída es la de polarización  $I_{b1}$ .

## 1.2. Seguidor de voltaje FVF.

El seguidor de voltaje cambiado o *Flipped Voltage Follower* (FVF) [2], Fig. 1b), es una versión mejorada del seguidor convencional en donde la compuerta de M1 hace un lazo de retroalimentación negativa con ganancia de lazo. Esta característica permite bajar la resistencia de salida notablemente a expensas de reducir el rango de excursión de la salida. El FVF funciona de la siguiente manera: En DC el voltaje  $V_{GS}$  de M1 y M2 se polariza para que la corriente  $I_{b1}$  fluya a través de la rama. Esta fuente de corriente a diferencia del seguidor convencional es implementada por un PMOS en saturación. En AC a medida que el voltaje de entrada  $V_i$  aumenta, el  $V_{GS}$  de M2 se ve incrementado dejando pasar una mayor corriente de drenador, este hecho provoca que el voltaje en esta terminal disminuya con ganancia  $-g_{mM2}r_{oM2}$  donde  $r_{oM2}$  es la resistencia de salida del transistor M2. A medida que el voltaje de drenador de M2 disminuye también lo hace el  $V_{GS}$  de

M1 “apagándose” tal diferencia de corrientes de drenador entre M1 y M2 hace que el nodo de salida aumente siguiendo a la entrada  $V_i$ . Por dicha ganancia del lazo de retroalimentación, el FVF permite bajar la resistencia de salida a  $R_o \approx 1/(g_{mM1}g_{mM2}r_{oM2})$  esto es, unas 50 veces menor que la del seguidor de voltaje convencional. La desventaja del FVF con respecto al seguidor convencional radica en que el rango de excursión de salida está limitado por:

$$V_{sw} = V_{THN} - V_{DSM2} \quad (2)$$

El cual no depende  $V_{DD}$ , es decir, aun empleando un mayor voltaje de alimentación en el circuito, el rango de salida no se amplía a diferencia de (1). A pesar de ello, el  $V_{DD}$  mínimo para que el circuito funcione está dado por:

$$V_{DDmin} = V_{GS1} + V_{DS} \quad (3)$$

Lo cual es considerado de bajo voltaje.

Una de las grandes desventajas del FVF como el caso del seguidor convencional, es su funcionamiento clase A. Para una entrada sinusoidal, el transistor M2 trabaja en los 360°. En los

180° que  $V_i$  disminuye, el  $V_{GS}$  de M2, también lo hace apagándolo, lo contrario sucede con M1 donde aumenta su  $V_{GS}$  a través del lazo de realimentación permitiéndole demandar corrientes mucho mayores que la de polarización, esto es  $I_{DM1} \gg I_{b1}$  para que  $V_o$  también disminuya. En los otros 180° en los que  $V_i$  aumenta, caso contrario M1 se apaga y el  $V_{GS}$  de M2 aumenta, sin embargo, M2 solo puede brindar una corriente limitada por la fuente de polarización  $I_{b1}$  para que  $V_o$  aumente. Por lo tanto el FVF como el seguidor convencional tiene una capacidad asimétrica para brindar corriente a la salida y comportamiento clase A.

### 1.3. FVF clase AB.

Muchos trabajos previos se han enfocado en convertir el FVF a funcionamiento clase AB. En la Fig. 1c) se muestra la propuesta hecha por M. Jiménez *et al* [3], la cual, une las topologías del seguidor convencional y el FVF, Fig. 1a) y 1b) respectivamente. La idea permite que M1 pueda extraer mucho más corriente que la de polarización del nodo de salida como en el caso del FVF y M3 se encargue de suministrar una corriente mucho mayor hacia  $V_o$  de lo que M2 puede hacer. De esta forma, el circuito tiene funcionamiento clase AB. Sin embargo dado la ganancia de lazo, M1 maneja mucho más corriente que M3, es decir, no se tiene la misma proporción de corriente para cargar y descargar el nodo de salida, para lograr esto, la dimensión del ancho de M3 tendría que hacerse muy amplia afectando la capacitancia de entrada. Para esta propuesta, la resistencia de salida y el voltaje mínimo de operación es el mismo que el FVF.

La idea del FVF con “Level shifter” o desplazador de nivel [4] se muestra en la Fig. 1d), esta topología viene a mejorar la excursión de salida del FVF permaneciendo como clase A. En el FVF la conexión de retroalimentación entre el drenador de M2 y la compuerta de M1 es la que conlleva a la expresión (2) que limita la excursión a un valor pequeño. Así, con la incorporación del desplazador de voltaje hecho con M3 e  $I_{b2}$  se mejora la excursión a  $V_{sw}=2V_{THN}$  a expensas de un requerimiento de voltaje mayor. Esto es,  $V_{DDmin}=2V_{GS}+V_{DS}$  lo cual no es de bajo voltaje.

Con la idea de mejorar las desventajas del FVF “level shifter” J. Ramírez *et al* [5], propusieron la topología mostrada en la Fig. 1e). Esta topología incorpora un capacitor que actúa como el desplazador de nivel,  $C_{bat}$ , el cual hace la función de mejorar el rango de excursión como el caso anterior sin aumentar demasiado el requerimiento de voltaje. Además, esta topología no limita el suministro de corriente a través de M2 hacia la salida por la fuente de corriente como en el caso del FVF, para ello incorpora la resistencia  $R1$  la cual permite suministrar toda la corriente que M2 le solicite. De esta forma el circuito mejora la excursión de salida y su funcionamiento a clase AB. La desventaja es que el desplazador de nivel a través del condensador  $C_{bat}$  no funciona en DC, es decir, funciona para frecuencias mayores a cientos de Hertz y puesto que la resistencia  $R1$  es de bajo valor para suministrar corriente, la

ganancia del lazo se ve disminuida notablemente aumentando la resistencia de salida.

El FVF con comparador de corriente [6], se muestra en la Fig. 1f). Esta propuesta incorpora el inversor M3-M4 para detectar cuando M1 se “apaga” a través de la retroalimentación y es necesario suministrar corriente a la salida. Cuando esto sucede, el drenador de M4 se va a un nivel alto encendiendo a M5 para que suministre mucha corriente a la salida. Esta solución para funcionamiento clase AB conlleva a que M5 observe una ganancia  $-g_{mM3}(r_{oM3}||r_{oM4})$  con respecto M1 por lo que ofrece también un *slew-rate* asimétrico. El requerimiento de voltaje y el rango de excursión son similares al del FVF y es necesario incluir la capacitancia de compensación para garantizar estabilidad.

## 2. SEGUIDOR DE VOLTAJE CLASE AB CON SLEW-RATE SIMÉTRICO.

El circuito propuesto se muestra en la Fig. 2. La idea preserva la estructura del FVF con el “level shifter” hecho por M3 e  $I_{b2}$  cuya salida se conecta a un transistor PMOS para suministrar corriente y lograr comportamiento clase AB. Puesto que el desplazador de nivel tiene una ganancia cercana a la unidad, la ganancia que observa el transistor M4 que suministra corriente a la salida es prácticamente la misma que observa M1 quien extrae corriente. Por lo tanto, el *slew-rate* es simétrico.

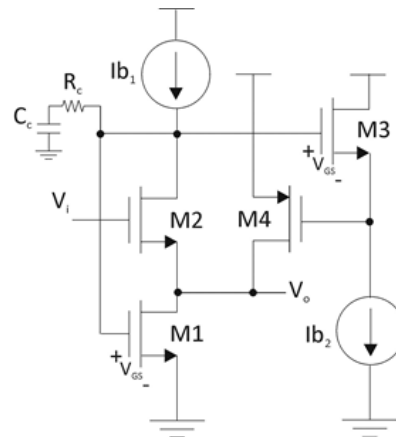


Fig. 2. Seguidor de voltaje clase AB propuesto.

El circuito posee una resistencia de salida similar que el FVF, esto es,  $R_o \approx 1/[(g_{mM1}+g_{mM4})g_{mM2}r_{oM2}]$ , la ganancia  $A_v \approx 1$  y el rango de excursión es prácticamente igual, pero posee un requerimiento de voltaje ligeramente mayor, esto es:

$$V_{DDmin} = V_{GS} + 2V_{DS} \quad (4)$$

Por lo que sigue siendo útil para aplicaciones de bajo voltaje. La terminal de fuente de M3 representa un polo de alta frecuencia por lo que tiene la misma condición de estabilidad que el FVF. El producto ganancia-ancho de banda si se ve mejorado a la forma  $GBW \approx (g_{mM1} + g_{mM4})/C_c$  a diferencia de  $GBW \approx (g_{mM1})/C_c$  del FVF.

## 2.1. Consideraciones de diseño.

La consideración de diseño para el seguidor de voltaje propuesto es la siguiente. A través de la rama M1-M3- $I_{b2}$  existe una condición de voltaje:

$$V_{GSM1} = V_{GSM3} + V_{DS(Ib2)} \quad (5)$$

Donde  $V_{DS(Ib2)}$  es el voltaje drenador-fuente necesario para el NMOS en saturación que implementa la fuente de corriente  $I_{b2}$ . Si consideramos un  $V_{DS}$  mínimo de 100mV [7], tenemos que  $V_{GSM1}$  tiene que ser 100mV mayor que  $V_{GSM3}$ . Esta condición puede lograrse con las relaciones de aspecto W/L de ambos transistores además de las corrientes de polarización, para este caso se tendría que cumplir  $I_{b1} > I_{b2}$ . El transistor M4 debe tener un voltaje  $V_{GS}$  cercano a 1.1V, situación que ocasiona que sea necesario disminuir en mayor manera el  $V_{DD}$  con respecto otros seguidores reportados. De lo contrario M4 a pesar de tener dimensiones cercanas a las mínimas, contribuiría con mucha corriente de polarización al circuito.

## 2.2. Simulaciones en PSpice.

El circuito propuesto de la Fig. 2 fue simulado en PSpice considerando los parámetros de la tecnología CMOS ON de 0.5μm con voltajes de umbral  $V_{THN}=0.75V$  y  $V_{THP}=0.98V$ . Las relaciones de aspecto de los transistores y condiciones del circuito se muestran en la Tabla I.

Tabla I. Características eléctricas y dimensiones de los transistores del seguidor propuesto.

Dispositivo	Valor
$V_{DD}$	1.2V
$I_{b1}$	10μA
$I_{b2}$	1μA
M1	40μm /1.5μm
M2	30μm/1.5μm
M3	40μm /1.5μm
M4	6μm/1.5μm

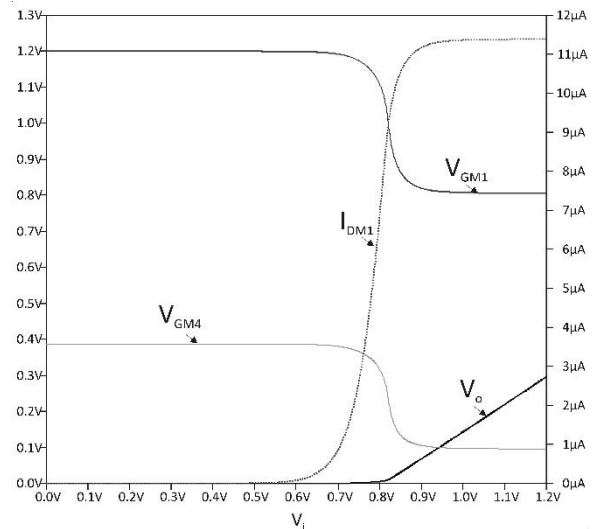


Fig. 3. Simulación de barrido en DC, se muestra el rango de excursión de  $V_o$ .

La simulación en DC de un barrido de  $V_i$  en PSpice se muestra en la Fig. 3. Aquí es posible notar el rango de la salida  $V_o \approx [100mV, 300mV]$ . El voltaje de compuerta de M4,  $V_{GM4}$  baja a un valor suficiente para que el transistor NMOS que implementa  $I_{b2}$  permanezca en saturación, esto es  $\approx 100mV$ . En este caso la corriente de polarización la define la corriente de drenador de M1 puesto que a través de este transistor fluye la corriente de polarización  $I_{b1}$  más la corriente de drenador de M4, para un total de 11.5μA como se observa en la misma Fig. 3. La resistencia de salida como lo muestra la simulación es cercana a los 30Ω, por lo que el seguidor podría trabajar con cargas resistivas mínimas de 300Ω para un error del 10%.

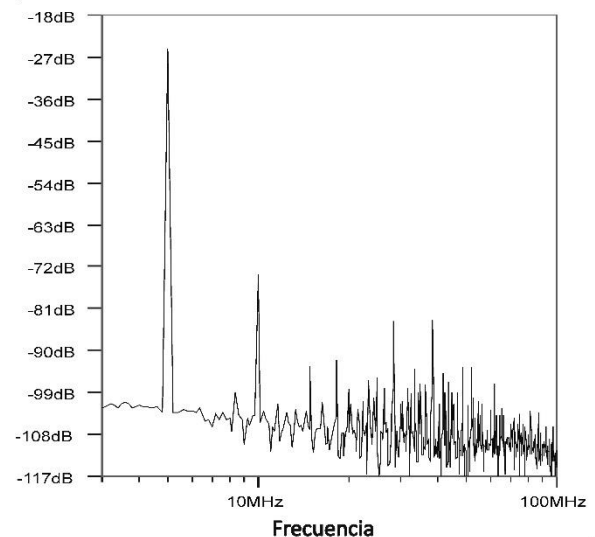


Fig. 4. Simulación de FFT con una señal de entrada sinusoidal de 200mV<sub>pp</sub> y un voltaje de offset de 1.1V a 5MHz.

La transformada rápida de Fourier, (FFT), fue simulada en la misma herramienta considerando una onda sinusoidal de entrada de  $200\text{mV}_{pp}$  a  $5\text{MHz}$  con  $C_L=1\text{pF}$ , Fig. 4. Como puede observarse, la diferencia entre la fundamental y el segundo armónico son más de  $50\text{dB}$  por lo que el seguidor presenta una linealidad aceptable y mejoraría notablemente si se lleva a funcionamiento en modo diferencial. El ancho de banda para una capacitancia de carga  $C_L=1\text{pF}$  es cercana a  $70\text{MHz}$ .

El *slew-rate* fue simulado en análisis transitorio considerando una señal cuadrada a la entrada de  $200\text{mV}_{pp}$  a  $1\text{MHz}$  con  $C_L=5\text{pF}$ , Fig. 5. Como puede observarse en la Fig. 5a), los picos de corriente en  $C_L$  para las transiciones de la señal de entrada alcanzan  $+90\mu\text{A}$  y  $-80\mu\text{A}$  respectivamente, esto demuestra una importante simetría en el *slew-rate* para una razón promedio de  $17\text{V}/\mu\text{s}$ . Esta simetría hace una característica singular que ofrece esta topología propuesta.

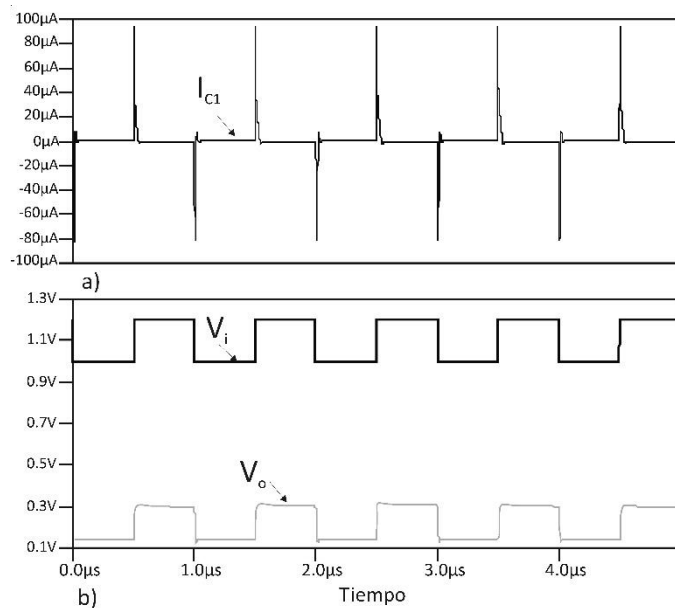


Fig. 5. *Slew-rate* en simulación de análisis transitorio; a) La corriente en el condensador de carga  $C_L=5\text{pF}$ ; b) El voltaje de entrada  $V_i$  con una señal cuadrada de  $200\text{mV}_{pp}$  a  $1\text{MHz}$  y el voltaje de salida  $V_o$ .

La compensación del circuito requiere la introducción de  $R_c$  y  $C_c$  en el polo dominante, esto es en el la compuerta de  $M1$ .

El valor de  $R_c$  es de entre  $10\text{-}20\text{k}\Omega$  y  $C_c$  depende del valor de  $C_L$ , un valor que asegura estabilidad es  $C_c=C_L$ . Estos dispositivos pasivos pudieran preferentemente ponerse de manera externa o de manera integrada si se conoce  $C_L$  previamente.

### 3. CONCLUSIONES.

En este trabajo se presenta una nueva topología de seguidor de voltaje clase AB para cargas resistivas que presenta un *slew-rate* simétrico. La propuesta es una modificación al seguidor FVF incorporando un desplazador de nivel y un PMOS. La arquitectura contempla unas consideraciones de diseño y un bajo  $V_{DD}$  para evitar una corriente de polarización elevada. El circuito propuesto consume menos de  $15\mu\text{W}$  y se presenta como una alternativa para ser considerada en aplicaciones de bajo voltaje.

### 4. REFERENCIAS.

- [1] B. Razavi, Design of Analog CMOS Integrated Circuits, McGraw-Hill, p. 67, 2001.
- [2] R. G. Carvajal, J. Ramirez-Angulo, A. Lopez-Martin, A. Torralba, J. Galan, A. Carlosena, and F. Muñoz, "The flipped voltage follower: A useful cell for low-voltage low-power circuit design," IEEE Transactions on Circuits and Systems I, Reg. Papers, vol. 52, no. 7, pp. 1276–1291, Jul. 2005.
- [3] M. Jimenez, A. Torralba, and R. G. Carvajal, "A new low-voltage CMOS unity-gain buffer," IEEE International Symposium on Circuits and Systems, ISCAS'06, Island of Kos, Greece, 21–24 May 2006.
- [4] J. Ramirez-Angulo, S. Gupta, I. Padilla-Cantoya, R. G. Carvajal, A. Torralba, M. Jimenez, F. Munoz, and A. Lopez-Martin, "Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities," IEEE International Midwest Symposium on Circuits and Systems 2005, MWSCAS'05, Cincinnati, Ohio, August 7–10 2005.
- [5] J. Ramirez-Angulo, A. Lopez-Martin, R. G. Carvajal, A. Torralba, and M. Jimenez, "Simple class-AB voltage follower with slew rate and bandwidth enhancement and no extra static power or supply requirements" Electronic Letters, vol. 42, no. 14, pp. 784–785, July 2006.
- [6] I. Padilla-Cantoya, J. E. Molinar-Solis, and G. O. Ducoudray, "Class AB low-voltage CMOS voltage follower," IEEE International Midwest Symposium on Circuits and Systems 2007, MWSCAS'07, Montreal Canada, 5–7 August 2007.
- [7] P. E. Allen, D. R. Holberg, CMOS Analog Circuit Design, Oxford, 2011.